

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-103023

(43) 公開日 平成11年(1999) 4月13日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/10

4 5 1

H 0 1 L 27/10

4 5 1

27/108

6 5 1

21/8242

29/78

3 7 1

21/8247

29/788

審査請求 未請求 請求項の数 3 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平9-263319

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(22) 出願日 平成9年(1997) 9月29日

(72) 発明者 山▲崎▼ 信夫

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 石原 数也

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 長田 昌也

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

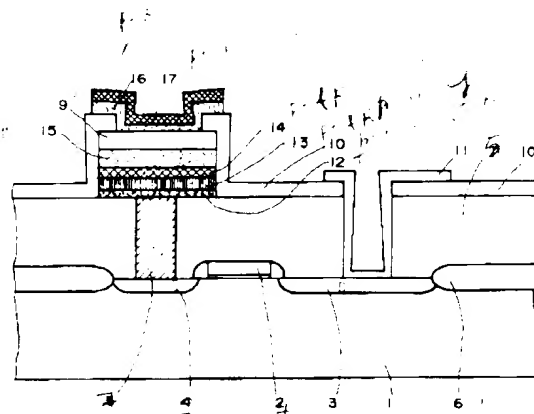
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 半導体記憶素子

(7) 【要約】

【課題】 バリウムとして、TiNを用いると、高誘電体や強誘電体の熱処理時に下部電極の白金を通して熱処理雰囲気中の酸素によりTiNが容易に酸化され体積変化や膜ストレスによって、TiNと白金との間で剥離が生じたり、白金自体のヒロックやクラックの原因となることがある。

【解決手段】 半導体基板に形成されたMOSトランジスタのドレイン領域とプラグ及びバリウムを介して電気的に接続される。下部電極、強誘電体薄膜及び上部電極からなるキャパシタ部を有する半導体記憶素子であって、下部電極が強誘電体薄膜に接する側から白金とロシウムとの合金酸化膜1層及び白金とロシウムとの合金膜1層からなる。



【特許請求の範囲】

【請求項1】 半導体基板に形成されたMOSトランジスタのドレイン領域とプラグ及びバリアメタル或いは該バリアメタルを介して電気的に接続される、下部電極、誘電体膜及び上部電極からなるキャパシタ部を有する半導体記憶素子であって

上記下部電極の少なくとも上記誘電体膜に接する側に白金とロジウムとの合金酸化膜を有する複数膜からなることを特徴とする半導体記憶素子

【請求項2】 上記下部電極が下層に白金とロジウムとの合金膜又は白金とロジウムとの合金酸化膜の2層膜からなることを特徴とする。請求項1記載の半導体記憶素子

【請求項3】 上記白金とロジウムとの合金酸化膜の全構成元素の内、酸素の含有率が2%以上で且つ、80%以下であることを特徴とする。請求項1又は請求項2に記載の半導体記憶素子

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶素子、更に詳しくは強誘電体及び高誘電体を誘電膜とするキャパシタを備えた半導体記憶素子に関するものである。

【0002】

【従来の技術】現在、DRAMでは、1つのMOSトランジスタと1つのキャパシタとから構成されたメモセルを有するものが主流である。この1T1Cトランジスタ・1キャパシタ型のDRAMにおいて、近年の高集積化及び微細化の要請に従い、セルの容量を確保することが年々困難になって来ている。このため、電極面積を稼くことにより、容量を確保しようというのが、一般的な動向である。すなわち、電極構造を立体化し電極面積を稼ぐわけであるが、これはプロセスを非常に複雑にしており、この方法での容量確保は困難になる。また、誘電体自身の薄膜化にも限界が来ている。そこで、誘電体をSiO₂、Si₃N₄、PbZrO₃等の酸化物高誘電体材料に置き換えて容量を確保しようという方法が検討されている。

【0003】一方、近年の薄膜化技術の進展に伴って、半導体素子との組み合わせにより、高密度で且つ高速に動作する強誘電体不揮発性メモリ(Ferroelectric RAM)の開発が盛んである。強誘電体薄膜を用いた不揮発性メモリはその高速書き込み・読み出し、低電力動作及び書き込み・読み出しの繰り返し耐性の高さ等の点から、従来の不揮発性メモリであるFRAM、EEPROM、フラッシュメモリの置き換えだけでなく、SRAM、DRAM分野への置き換えも可能なメモリとして、実用化に向けての研究開発が盛んに行われている。

【0004】強誘電体材料としては、PbZr_{0.5}Ti_{0.5}O₃、PbTiO₃やBi₂Se₃に比べて特性が良し、低電圧駆動が可能なSrBi₂Ta₂O₇やBi₂Fe₂Ta₂O₇が検討さ

れている。しかしながら、これらの高誘電体や強誘電体の特性を引き出すためには、400～800℃での高温の酸化雰囲気中での熱処理プロセスが必要となる。

【0005】上述のような材料を用いて、高集積化したスタック型のDRAMやFeRAMを作成する際、MOS部とキャパシタ部とのコンタクトをとるため、ポリシリコン等のプラグを用いて電気的に接続する方法が一般的である。キャパシタ部下部電極としては高温成膜プロセス時に高い酸化反応性を持つ白金が用いられている。図2に示すように、この場合、下部電極29とプラグ25との間にバリアメタル28を設ける必要がある。そして、バリアメタル28は下部電極29として用いられている白金とプラグ25のシリコンとの反応を防ぎ、また、高誘電体膜や強誘電体膜を構成する各元素が熱処理工程中に下部電極29を通して他の膜中へ拡散するのを防ぐために必要である。尚、図2は第1の従来技術による半導体記憶素子の構造断面図であり、図2において、11はシリコン基板、21はゲート電極、23はソース領域、24はドレイン領域、25はポリシリコンプラグ、26はロジウム酸化膜、27は層間絶縁膜、28はバリアメタル、29は下部電極、30は強誘電体薄膜、31は層間絶縁膜、32は上部電極、33はビットラインを示す。

【0006】また、第2の従来技術として、図3に示すような特開平ワ45872号公報に記載の技術がある。図4、図5を用いて、この技術を説明する。尚、図5は第2の従来技術の説明に供する図である。

【0007】まず、シリコン基板11上に誘電体薄膜素子の下層膜として熱酸化SiO₂膜42を形成し、次に、Rhを重量比で5～50%含有したPtターゲット若しくはPtターゲットとRhターゲットを用いた2元素スパッタ法によって、Rhを5～50%含有したPtから成る下部電極材料層43を0.2～0.4μm成膜する。次に、強誘電体材料層44をソリッドコーティング、CVD法等で0.2～0.5μm成膜した後、600～800℃の熱処理を行った。次に、上部電極材料層45としてPtをスパッタ法を用いて0.2～0.4μm成膜した。その後、イオンミリング若しくはRIE法を用いて、上部電極材料層45、強誘電体膜材料層44及び下部電極材料層43を順次所望の形状に形成する。

【0008】尚、誘電体薄膜素子において、下部電極材料層43とシリコン基板41との間にTiNからなる密着層を形成してもよい。これにより、下部電極材料層43とシリコン基板41との密着性が向上する。

【0009】

【発明が解決しようとする課題】しかしながら、バリアメタルとして、TiNを用いると、高誘電体や強誘電体の熱処理時に、下部電極の白金を通して熱処理雰囲気中の酸素によりTiNが容易に酸化され体積変化や膜ストレスによって、TiNと白金との間で剥離が生じたり、白金

自体のヒビクラックやクラックの原因となることがある。また、PZTに比べ疲労特性の非常に良いSbBiTeO₃(SbBT)を不揮発性メモリに使用する場合、PZTに比べ更に高温(700℃)の熱処理が必要となるので、白金とシリコンを組み合わせた構造は適用できない。

【0010】また、第2の従来技術(示すように)ホリシリコンプラグに直接下部電極としてPtRhとして十分な酸素バリア性を備えることができない。

【0011】本発明は、高温酸化雰囲気での熱処理においても、十分な酸素バリア性を備え、良好なオーム特性が得られる電極構造を有する半導体記憶素子を提供することを目的とする。

【0012】

【課題を解決するための手段】請求項1記載の本発明の半導体記憶素子は、半導体基板に形成されたMOSトランジスタのドレイン領域とプラグ及びバリアスカル或いは誘電バリアスカルを介して電気的に接続される。下部電極、誘電体膜及び上部電極からなるキャパシタ部を有する半導体記憶素子であって、上記下部電極が少なくとも上記誘電体膜に接する側に白金とロジウムとの合金酸化膜を有する複数膜からなることを特徴とするものである。

【0013】また、請求項2記載の本発明の半導体記憶素子は、上記下部電極が下層に白金とロジウムとの合金膜又は白金、且つ、上層に白金とロジウムとの合金酸化膜の二層膜からなることを特徴とする。請求項1記載の半導体記憶素子である。

【0014】更に、請求項3記載の本発明の半導体記憶素子は、上記白金とロジウムとの合金酸化膜の全構成元素の内、酸素の含有率が20%以上で且つ、30%以下であることを特徴とする。請求項1又は請求項2に記載の半導体記憶素子である。

【0015】

【発明の実施の形態】以下、実施の形態に基づいて本発明について詳細に説明する。

【0016】図1は本発明の一実施の形態の半導体記憶素子の構造断面図であり、図1において、1はシリコン基板、2はゲート電極、3はソース領域、4はドレイン領域、5はホリシリコンプラグ、6はロックス酸化膜、7は第1層間絶縁膜、8はバリアスカル、9は強誘電体薄膜、10は第2層間絶縁膜、11はヒートシールド、12はTiN膜からなる密着層、13は酸化チタン(TiO₂)膜、14は第1の白金とロジウムとの合金膜(PtRh)、15は第1の白金とロジウムとの合金酸化膜(PtRhO_x)、16は第2の白金とロジウムとの合金酸化膜(PtRhO_x)、17は第2の白金とロジウムとの合金膜(PtRh)からなる。

【0017】以下、本発明の一実施の形態の半導体記憶素子の製造工程を説明する。

【0018】まず、P型シリコン基板1に素子分離のためのロックス酸化膜6を5000Å形成し、イオン注入により、ソース領域3及びドレイン領域4を形成し、その後、ゲート電極2を形成した。次に、スタック型のキャパシタを形成するため、第1層間絶縁膜7を5000Åの厚さに形成し、続いて、ドレイン領域4とキャパシタ部とを電気的に接続するための直径150nmのコンタクトホールを形成する。

【0019】次に、CVD法により、ホリシリコンを全面に堆積した後、ケミカルメカニカルポリッシング(CMP)法で表面を平坦化し、コンタクトホール内は、ドレイン領域4とキャパシタ部とを接続するポリシリコンプラグ5を形成する。

【0020】このポリシリコンプラグ5上に、ロスマグネトロンスパッタ法で、密着層12となるTiN膜を200~300Å、バリアスカルとなるTiN膜13をロスマグネトロン反応性スパッタ法で約2000Åを各々200℃で連続的に形成し、続いて、ラミードサマールアニーリング(RTA)装置により、600℃でTiN膜13を結晶化させる。このバリアスカルを形成せずに、直接ポリシリコンプラグ5に下部電極を形成した場合、下部電極のPtとポリシリコンとが反応し、良好なコンタクト特性が得られず、また、強誘電体膜がSbBiの場合、700℃の熱処理が必要となるが、この際、酸素が透過してしまうという問題がある。

【0021】その上に、ロスマグネトロンスパッタ法で膜厚100~1000Å(好ましくは200Å程度)の第1のPtRh膜14を成膜温度250℃にて形成し、その上にロスマグネトロン反応性スパッタ法で膜厚100~800Å(好ましくは800Å程度)の第1のPtRhO_x膜15を成膜温度250℃にて形成した。第1のPtRhO_x膜14及び第1のPtRhO_x膜15が下部電極を構成する。

【0022】TiN膜13の膜厚を2000Å以上にすると、第1のPtRh膜14の白金とシリコンとが反応してしまいが、TiN膜13の膜厚を増加させると全体の膜厚を増加させることになるので、好ましくない。したがって、上述のようにTiN膜13の膜厚は2000Å程度が望ましい。

【0023】また、第1のPtRh膜14の膜厚を100Å以下にすると、強誘電体膜を成膜する際の酸素が第1のPtRh膜14を透過してしまい、TiN膜13が酸化され、良好なコンタクト特性が得られなかった。また、PtRh膜14が1000Å以上となると、全体の膜厚を増加させることになるので好ましくない。

【0024】また、第1のPtRhO_x膜15の膜厚を100Å以下にすると強誘電体を成膜する際の酸素が雰囲気中が第1のPtRhO_x膜15を透過してしまい、TiN膜13が酸化され、良好なコンタクト特性が得られなかった。また、PtRhO_x膜15が800Å以上

となると、全体の膜厚を増加させることになるので好ましくない。

【0025】形成された第1のP+Rn膜14の元素組成比はP+Rn=90:10であった。第1のP+Rn膜14の全元素に対する酸素元素の含有率が30%を越えると、P+Rn膜14の膜のモフォロジーが急激に悪化し、その上に形成する強誘電体の結晶性が悪くなった。その結果キャパシタリク電流特性も非常に悪くなった。また、2%以上になると強誘電体を成膜する際の酸素ガス雰囲気透過してしまい良好なコンタクト特性を得ることからできない。

【0026】上述のようにして下部電極を形成した後、強誘電体薄膜9である、SbTe/SrBiTe(以下、膜を形成する。このSbTe膜は有機金属分解成膜法(Metal-Organic Decomposition:MOD法)にて形成した。このMOD法においては、第一焼成を大気圧の酸素雰囲気中、700℃、30分間行った。その後、第2の層間絶縁膜10として、CVD法によりシリコン酸化膜を形成し、キャパシタの上部にコンタクトホールをドライエッチング法により形成し、その後、上部電極を形成した。上部電極は、10Tマグネトの反応性スパッタ法で、膜厚100~800Å(好ましくは500Å程度)の第2のP+Rn膜16を成膜温度250℃で形成し、更にその上に10Tマグネトのスパッタ法で膜厚100~1000Å(好ましくは200Å程度)のP+Rn膜17を成膜温度250℃にて形成した。その後、上部電極を所望の寸法に加工してその後、焼成として大気圧の酸素雰囲気中、700℃で30分間の熱処理を行った。

【0027】最後に、AlO₃ストランドのソース領域にコンタクトホールを形成し、スパッタ法によりアルミニウムを形成し、更にドライエッチング法により加工し、ビットラインとした。

【0028】上述の工程により形成されたキャパシタの強誘電体特性を測定した結果、P+Rn=1500nm、E₀=10KV/cmのヒステリシスループが得られ、その対称性が崩れていないことから、シリコンプラグとバリアメタル、下部電極との間に良好なオーミック特性が取れていることが示された。また、周波数100MHz、フェーダー比50%のビットラインで電圧5V印加による、分極転位に伴う特性を測定した結果、10サイクル後で初期値と比べてその変化が0.03であった。

【0029】上記実施の形態において、バリアメタルと

してTiNを用いたが、同様なバリア性を有するタングステンとシリコンとの合金の窒化物(TaxSi_{1-x}N_y)を用いても同様な効果が得られた。尚、この際、TaxSi_{1-x}N_yの組成は、1-x>0、2、1-y>0であることが望ましい。また、シリコン基板の直上にキャパシタを形成する場合において、キャパシタの下部電極とシリコン基板との間にバリアメタルを形成する場合でも同様な効果が得られる。また、本実施の形態において、上部電極が下部電極と同じ構造、即ち対称性を有することにより、強誘電体の特性(ヒステリシス)の対称性を保っているが、本発明は、上述の実施の形態に限定されるものではなく、ヒステリシスの対称性が保たれば、P+Rn等の従来用いられていた電極材料を用いてもよい。

【0030】

【発明の効果】以上、詳細に説明したように、本発明を用いることにより、750℃程度の高温酸化雰囲気での熱処理においても、バリアメタル表面が酸化されることがなく、また、下部電極構成元素である白金とプラグのシリコンとの反応も抑制でき、良好なオーミックコンタクト特性を有する半導体記憶素子が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態の半導体記憶素子の構造断面図である。

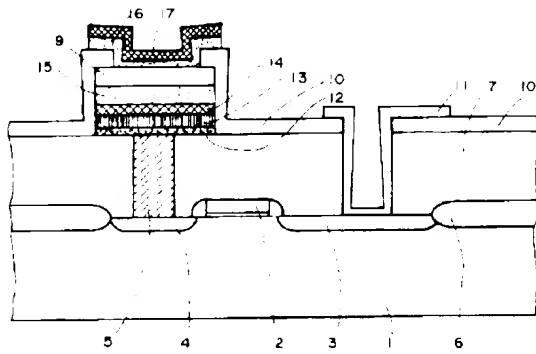
【図2】第1の従来技術による半導体記憶素子の構造断面図である。

【図3】第2の従来技術の説明に供する図である。

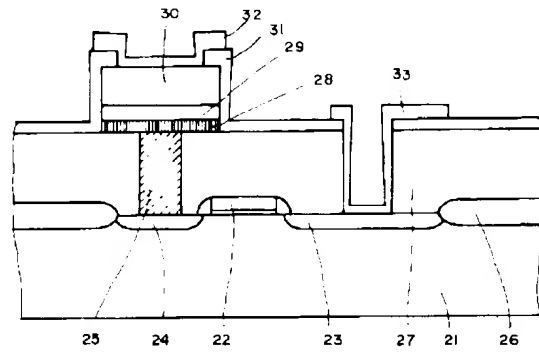
【符号の説明】

- 1 シリコン基板
- 2 ゲート電極
- 3 ソース領域
- 4 ドレイン領域
- 5 ポリシリコンプラグ
- 6 ロロス酸化膜
- 7 第1層間絶縁膜
- 8 バリアメタル
- 9 強誘電体薄膜
- 10 第2層間絶縁膜
- 11 ビットライン
- 12 Ti膜からなる密着層
- 13 窒化チタン(TiN)膜
- 14 第1の白金とロジウムとの合金膜
- 15 第1の白金とロジウムとの合金酸化膜
- 16 第2の白金とロジウムとの合金酸化膜
- 17 第2の白金とロジウムとの合金膜

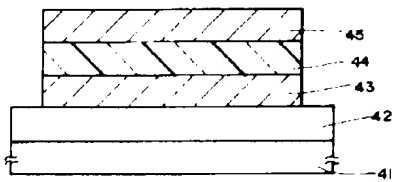
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl.

識別記号

F I

H01L 29/792

CLIP:EDIMAGE= JP4111.3113A

PAT-NO: JP4111.3123A

DOCUMENT-IDENTIFIER: JP 411 3123 A

TITLE: SEMICONDUCTOR MEMORY ELEMENT

PUBN-DATE: April 13, 1999

INVENTOR INFORMATION:

NAME

YAMAZAKI, NORIO

ISHIHARA, FUMIO

OSADA, MASAHA

ASSIGNEE-INFORMATION:

NAME

SHARP CORP

COUNTRY

N/A

APPL-NO: JPC9263319

APPL-DATE: September 29, 1997

INT-CL-INFO: H01L21/10;H01L27/105 ;H01L21/8242 ;H01L21/8247 ;H01L29/788 ;H01L29/784

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor memory element having an electrode structure which can obtain a good ohmic characteristic and can provide a sufficient oxygen barrier even in a heat treatment in an high temperature oxidizing atmosphere.

SOLUTION: In a semiconductor memory element having a capacitor part, consisting of a lower electrode, a thin ferroelectric film 9, and an upper electrode, which is connected to the drain region of a MOS transistor formed on a semiconductor substrate via a plug and a barrier metal, the lower electrode consists of an alloy oxide film 14 of platinum and rhodium and an alloy film 13 of platinum and rhodium from the side in contact with the thin ferroelectric film 9.

COPYRIGHT: ©1999, JPO

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to a semiconductor storage element and the semiconductor storage element equipped with the capacitor which makes a ferroelectric and a high dielectric a dielectric film in more detail.

[0002]

[Description of the Prior Art] Now, what has in DRAM the memory cell which consisted of one MOS transistor and one capacitor is in use. In this 1 transistor and 1 capacitor type DRAM, it is becoming difficult to secure the capacity of a cell every year according to the request of high integration in recent years and detailed-izing. For this reason, it is a general trend by earning electrode area that capacity will be secured. That is, although electrode structure is solidified and electrode area is earned, this complicates the process very much and capacity reservation by this method becomes difficult. Moreover, the limitation is coming also for own thin film-ization of a dielectric. Then, the method of a dielectric being transposed to the oxide quantity dielectric materials of SrTiO_3 or $\text{TiO}(\text{Ba}, \text{Sr})_3$ grade, and securing capacity is examined.

[0003] Development of the ferroelectric non-volatile memory (FeRAM) which operates at high speed with high density with combination with semiconductor memory with progress of thin film-ized technology in recent years on the other hand is prosperous. Research and development towards utilization are briskly done as memory in which the non-volatile memory using the ferroelectric thin film not only of the replacement to the high-speed writing / EPROM which it reads and is the non-volatile memory of the former [points], such as height of the repeat resistance of low-battery operation, and writing read-out,], EEPROM, and a flash memory but the replacement to SRAM and a DRAM field is possible.

[0004] As a ferroelectric material, $\text{SrBi}_2\text{Ta}_2\text{O}_9$ with a sufficient defatigation property in which a low-battery drive is possible, and $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ are examined compared with PbZrTiO_3 (PZT) or PZT. However, in order to pull out the property of these high dielectrics and ferroelectrics, the heat treatment process in the inside of the oxidizing atmosphere of the elevated temperature in 400-800 degrees C is needed.

[0005] In case stack type DRAM and FeRAM which were integrated highly are created using the above material, in order to take contact in the MOS section and the capacitor section, the method of connecting electrically using plugs, such as contest polysilicon, is common. As a lower electrode of the capacitor section, platinum with high oxidation reaction resistance is used at the time of an elevated-temperature membrane formation process. As shown in drawing 2, it is necessary to form the barrier metal 28 between the lower electrode 29 and a plug 25 in this case. And the barrier metal 28 is required in order to prevent spreading each element which prevents the reaction of the platinum used as a lower electrode 29, and the silicon of a plug 25, and constitutes a high dielectric film and a ferroelectric film into other films through the lower electrode 29 in a heat treatment process. In addition, the structure section view of the semiconductor storage element according to the 1st conventional technology -- it is -- drawing 2 -- setting -- 21 -- a silicon substrate and 22 -- a gate electrode and 23 -- a source field and 24 -- a drain field and 25 -- a polysilicon contest plug and 26 -- a localized-oxidation-of-silicon oxide film and 27 -- a layer insulation film and 28 -- in barrier metal and 29, a layer insulation film and 32 show an up electrode, and, as for a lower electrode and 30, 33 shows the bit line, as for a ferroelectric

[0006] Moreover, the technology of a publication is in a publication-number No. 45872 [nine to] official report as shown in drawing 3 as 2nd conventional technology. Hereafter, this technology is explained using drawing 3. In addition, drawing 3 is drawing with which explanation of the 2nd conventional technology is presented.

[0007] First, 0.2-0.4 micrometers of lower electrode-material layers 43 which consist of Pt which contained Rh 5 to 50% by the 2 yuan spatter using Pt target or Pt target which formed thermal oxidation SiO_2 film 42 as a lower layer film of a dielectric thin film on the silicon substrate 41, next contained Rh 5 to 50% by the weight ratio, and Rh target are formed. Next, after forming 0.2-0.5 micrometers of ferroelectric material layers 44 by spin coating, CVD, etc., 600-800-degree C heat treatment was performed. Next, 0.2-0.4 micrometers of Pt(s) were formed, using a spatter as an up electrode-material layer 45. Then, the up electrode-material layer 45, the ferroelectric film material layer 44, and the lower electrode-material layer 43 are formed in a desired configuration one by one using ion milling or the RIE method.

[0008] In addition, in this dielectric thin film, you may form the adhesion layer which consists of TiN between the lower electrode-material layer 43 and a silicon substrate 41. Thereby, the lower electrode-material layer 43, a silicon substrate 41, and the adhesion of a between improve.

[0009]

[Problem(s) to be Solved by the Invention] However, as a barrier metal, when TiN is used, at the time of heat treatment of a high dielectric and a ferroelectric, TiN oxidizes easily by the oxygen of heat treatment atmosphere through the platinum of a lower electrode, between TiN and platinum, ablation arises or there are the cause and bird clapper of the hillock of platinum itself or a crack by the volume change or film stress. Moreover, since further hot (700 degrees C) heat treatment is needed compared with PZT when using very good SrBi₂Ta₂O₁₂ (SBT) of a defatigation property for non-volatile memory compared with PZT, the structure which combined platinum and TiN is inapplicable.

[0010] Moreover, as shown in the 2nd conventional technology, oxygen barrier nature sufficient as PtRh as a direct lower electrode cannot be obtained to a polysilicon contest plug.

[0011] Also in heat treatment of high-temperature-oxidation atmosphere, this invention is equipped with sufficient oxygen barrier nature, and aims at offering the semiconductor storage element which has the electrode structure where a good ohmic property is acquired.

[0012]

[Means for Solving the Problem] The semiconductor storage element of this invention according to claim 1 is a semiconductor storage element which has the capacitor section which consists of the lower electrode, dielectric film, and up electrode which are electrically connected through the drain field, the plug and the barrier metal, or this barrier metal of an MOS transistor formed in the semiconductor substrate, and is characterized by the bird clapper from two or more films which have the alloy oxide film of platinum and a rhodium in the side to which the above-mentioned lower electrode touches the above-mentioned dielectric film at least.

[0013] Moreover, the semiconductor storage element of this invention according to claim 2 is a semiconductor storage element according to claim 1 with which the above-mentioned lower electrode is characterized by the bird clapper from the two-layer film of the alloy oxide film of platinum and a rhodium in the alloy film of platinum and a rhodium or platinum, and the upper layer at a lower layer.

[0014] Furthermore, the semiconductor storage element of this invention according to claim 3 is a semiconductor storage element according to claim 1 or 2 which the content of oxygen is 2% or more among all the composition elements of the alloy oxide film of the above-mentioned platinum and a rhodium, and is characterized by being 30% or less.

[0015]

[Embodiments of the Invention] Hereafter, based on the gestalt of operation, this invention is explained in detail.

[0016] Drawing 1 is the structure section view of the semiconductor storage element of the gestalt of 1 operation of this invention, and is set to drawing 1. In 1, a silicon substrate and 2 a source field and 4 for a gate electrode and 3 A drain field, 5 a localized-oxidation-of-silicon oxide film and 7 for a polysilicon contest plug and 6 The insulator layer between the 1st layer. In 8, barrier metal and 9 an insulator layer and 11 between the 2nd layer for a ferroelectric thin film and 10 The bit line. A titanium-nitride (TiN) film and 14 the adhesion layer which 12 becomes from Ti film, and 13 The alloy film of the 1st platinum and a rhodium (PtRh). As for the alloy oxide film (PtRhOx) of the 1st platinum and a rhodium, and 16, 15 is [the alloy oxide film (PtRhOx) of the 2nd platinum and a rhodium and 17] the alloy films (PtRh) of the 2nd platinum and a rhodium.

[0017] Hereafter, the manufacturing process of the semiconductor storage element of the form of 1 operation of this invention is explained.

[0018] First, 5000Å of localized-oxidation-of-silicon oxide films 6 for isolation was formed in the P type silicon substrate 1, with the ion implantation, the source field 3 and the drain field 4 were formed, and the gate electrode 2 was formed after that. Next, in order to form a stack type capacitor, a contact hole with a diameter [for forming an insulator layer 7 in the thickness of 5000Å between the 1st layer, then connecting the drain field 4 and the capacitor section electrically] of 0.5 micrometers is formed.

[0019] Next, by CVD, after depositing contest polysilicon on the whole surface, flattening of the front face is carried out by the chemical mechanical polishing (CMP) method, and the polysilicon contest plug 5 which connects the drain field 4 and the capacitor section into a contact hole is formed.

[0020] On this polysilicon contest plug 5, about 2000Å is respectively formed for the TiN film 13 which serves as 200-300Å and barrier metal in Ti film used as the adhesion layer 12 by the DC magnetron-sputtering method continuously at 200 degrees C by DC magnetron reactivity spatter, then the TiN film 13 is crystallized at 600 degrees C with RAMIDDO thermal annealing (RTA) equipment. Although Pt of a lower electrode and contest polysilicon react, a good contact property is not acquired, when a lower electrode is formed on a direct polysilicon contest plug, without forming this barrier metal, and heat treatment which is 700 degrees C is needed when a ferroelectric film is SBT, there is a problem that oxygen will penetrate, in this case.

[0021] Moreover, the 1st PtRh film 14 of 100-1000Å of thickness (preferably about 200Å) was formed at the membrane formation temperature of 250 degrees C by the DC magnetron-sputtering method, and the 1st PtRhOx film 15 of 100-800Å of thickness (preferably about 800Å) was formed at the membrane formation temperature of 250 degrees C by DC magnetron reactivity spatter on it. The 1st PtRh film 14 and the 1st PtRhOx film 15 constitute a lower electrode.

[0022] If thickness of the TiN film 13 is made into 2000Å or less, although the 1st platinum and silicon of the PtRh film 14 will react, since the whole thickness is made increased when the thickness of the TiN film 13 is made to increase, it is not desirable. Therefore, the thickness of the TiN film 13 has desirable about 2000Å as mentioned above.

[0023] Moreover, when thickness of the 1st PtRh film 14 was made into 100Å or less, the oxygen gas atmosphere at the time of forming a ferroelectric film penetrated the PtRh film 14, the TiN film 13 oxidized, and a good contact property was not acquired. Moreover, since the whole thickness is made increased when the PtRh film 14 becomes 1000Å or more, it is not desirable.

[0024] Moreover, when thickness of the 1st PtRhOx film 15 was made into 100Å or less, the oxygen gas atmosphere at the time of forming a ferroelectric penetrated the 1st PtRhOx film 17, the TiN film 13 oxidized, and a good contact property was not acquired. Moreover, since the whole thickness is made increased when the PtRhOx film 15 becomes 800Å or more, it is not desirable.

[0025] The elementary-composition ratio of the 1st formed PtRh film 14 was Pt:Rh=90:10. When the content of the oxygen element to all the elements of the 1st PtRhOx film 15 exceeded 30%, the morphology of a PtRhOx film got worse rapidly and the crystallinity of a strong dielectric film formed on it became bad. As a result, the capacitor leakage-current property also became very bad. Moreover, if it becomes 2% or less, oxygen gas atmosphere at the time of forming a ferroelectric cannot penetrate, and a good contact property cannot be acquired.

[0026] After forming a lower electrode as mentioned above, the SBT (SrBi₂Ta₂O₉) film which is the ferroelectric thin film 9 is formed. This SBT film was performed by the organic-metal decomposition forming-membranes method (the Metal Organic Decomposition:MOD method). In this MOD method, 600 degrees C of the first baking were performed for 30 minutes among the oxygen atmosphere of atmospheric pressure. Then, as 2nd layer insulation film 10, the silicon oxide was formed by CVD, the contact hole was formed in the upper part of a capacitor by the dry etching method, and the up electrode was formed after that. The up electrode was DC magnetron reactivity spatter, formed the 2nd PtRhOx film 16 of 100-800Å of thickness (preferably about 800Å) at the membrane formation temperature of 250 degrees C, and formed the PtRh film 17 of 100-1000Å of thickness (preferably about 200Å) at the membrane formation temperature of 250 degrees C by the DC magnetron-sputtering method on it further. Then, the size of a request of an up electrode was processed and heat treatment for 30 minutes was performed at 750 degrees C among the oxygen atmosphere of atmospheric pressure as the second baking after that.

[0027] Finally, the contact hole was formed in the source field of an MOS transistor, aluminum was formed by the spatter, and it was further processed by the dry etching method, and considered as the bit line.

[0028] Since the hysteresis loop of $P_r=13\text{microC cm}^2$ and $E_c=40\text{ kV cm}$ was acquired and the symmetric property had not collapsed as a result of measuring the ferroelectric property of the capacitor formed of the above-mentioned process, it was shown that the good ohmic property can be taken between a polysilicon contest plug, and barrier metal and a lower electrode. Moreover, as a result of measuring the defatigation property accompanying polarization reversal by stress pulse-voltage 5V impression of the frequency of 100kHz, and 5% of duty ratio, compared with initial value, the change was 0.03 after 1011 cycles.

[0029] In the gestalt of the above-mentioned implementation, although TiN was used as a barrier metal, even if it used the nitride (TaSi_{1-x}Ny) of the alloy of the tantalum and silicon which have the same barrier nature, the same effect was acquired. In addition, as for composition of TaSi_{1-x}Ny, it is desirable in this case that it is $1 > x > 0.2$ and $1 > y > 0$. Moreover, the same effect is acquired, even when forming a capacitor in right above [of a silicon substrate] and forming barrier metal between the lower electrode of a capacitor, and a silicon substrate. Moreover, in the gestalt of this operation, although the symmetric property of the property (hysteresis) of a ferroelectric is maintained by having the structure as a lower electrode where an up electrode is the same, i.e., symmetric property, as long as it is not limited to the gestalt of above-mentioned operation and the symmetric property of a hysteresis is maintained, the electrode material used conventionally [, such as Pt.] may be used for this invention.

[0030]

[Effect of the Invention] As mentioned above, without a barrier metal front face oxidizing by using this invention also in heat treatment in about 750-degree C high-temperature-oxidation atmosphere, as explained in detail, the reaction of the platinum which is a lower electrode composition element, and the silicon of a plug can also be suppressed, and the semiconductor storage element which has a good ohmic-contact property is obtained.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1 This document has been translated by computer. So the translation may not reflect the original precisely.
- 2 **** shows the word which can not be translated.
- 3 In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the structure section view of the semiconductor storage element of the gestalt of operation of this invention.

[Drawing 2] It is the structure section view of the semiconductor storage element by the 1st conventional technology.

[Drawing 3] It is drawing with which explanation of the 2nd conventional technology is presented.

[Description of Notations]

- 1 Silicon Substrate
- 2 Gate Electrode
- 3 Source Field
- 4 Drain Field
- 5 Polysilicon Contest Plug
- 6 Localized-Oxidation-of-Silicon Oxide Film
- 7 Insulator Layer between 1st Layer
- 8 Barrier Metal
- 9 Ferroelectric Thin Film
- 10 Insulator Layer between 2nd Layer
- 11 Bit Line
- 12 Adhesion Layer Which Consists of a Ti Film
- 13 Titanium-Nitride (TiN) Film
- 14 Alloy Film of 1st Platinum and Rhodium
- 15 Alloy Oxide Film of 1st Platinum and Rhodium
- 16 Alloy Oxide Film of 2nd Platinum and Rhodium
- 17 Alloy Film of 2nd Platinum and Rhodium

[Translation done.]

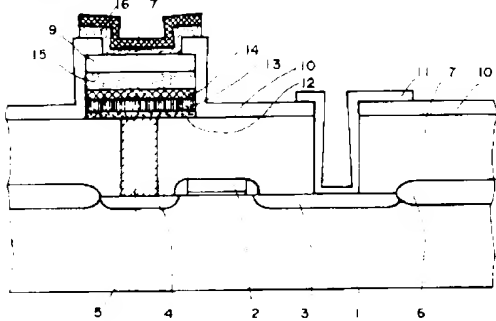
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

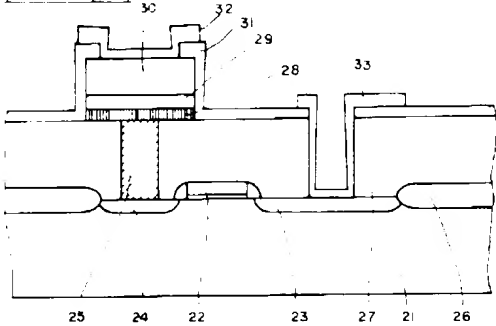
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

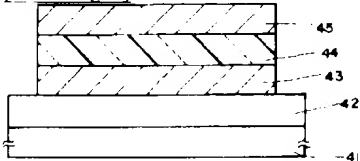
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Translation done.]

	Type	L #	Hits	Search Text	DBs	Time Stamp
1	BRS	L1	0	jp9-263319	JPO	2002/09/2 3 09:16
2	BRS	L8	5	6201271.URPN.	USPAT	2002/09/2 3 09:18
3	BRS	L27	0	11103023.URPN.	USPAT	2002/09/2 3 09:50
4	BRS	L30	15	6046469.URPN.	USPAT	2002/09/2 3 09:50
5	BRS	L31	0	11103023.URPN.	USPAT	2002/09/2 3 09:50
6	BRS	L32	15	6046469.URPN.	USPAT	2002/09/2 3 09:55
7	BRS	L33	13	"5153517" "5335138" "5453547" "5581436" "5618746" "5645976" "5691593" "5751540" "5790366" "5793976" "5796134" "6046469" "6150974").PN.	USPAT	2002/09/2 3 09:55
8	BRS	L34	14	"5003428" "5005102" "5053017" "5142437" "5185089" "5335138" "5407858" "5535148" "5557064" "5622839" "5701047" "5714400" "5717736" "5790366").PN.	USPAT	2002/09/2 3 09:57
9	BRS	L35	6494	platinum or pt) adj (rhodium or rd)	USPAT; EPO; JPO; DEFWENT; IBM_TDB	2002/09/2 3 10:12
10	BRS	L36	6494	35 and (platinum pt)	USPAT; EPO; JPO; DEFWENT; IBM_TDB	2002/09/2 3 10:12
11	BRS	L37	2006	(titanium ti) and (platinum or pt) adj (rhodium or rd)	USPAT; EPO; JPO; DEFWENT; IBM_TDB	2002/09/2 3 10:12
12	BRS	L38	19	3" and capacitors and ferroelectric	USPAT; EPO; JPO; DEFWENT; IBM_TDB	2002/09/2 3 10:13